

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭59—108329

⑫ Int. Cl.³ 識別記号 庁内整理番号 ⑬ 公開 昭和59年(1984)6月22日
H 01 L 21/82 6655—5 F 発明の数 1
21/88 6810—5 F 審査請求 未請求
27/10 6655—5 F

(全 4 頁)

⑭ 半導体装置の製造方法

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特 願 昭57—219009
⑯ 出 願 昭57(1982)12月13日
⑰ 発 明 者 向井良一

⑱ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

絶縁膜上に設けられた多結晶半導体からなるヒューズ膜に酸化性雰囲気中で該ヒューズ膜を溶解しないエネルギーのエネルギー線を照射し、該ヒューズ膜を酸化して酸化物膜に変換する工程が含まれてなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体装置の製造方法のうち、特に半導体基板上面に形成する回路配線の断線処理方法に関する。

(b) 技術的背景

半導体集積回路(IC)において、LBIノメモリではメモリビット数の飛躍的な増大に伴い、コストダウン対策として冗長回路構成が採られるようになってきた。それは、アレイ状のメモリに予備

の行と列とを設けておき、不良ビットを含む行や列と、上記予備の行や列とを置き換えるもので、それには接続している回路配線を断線処理したり、また回路配線を接続処理したりする処理方法が必要になる。

本発明はこれらの冗長回路に適用する処理方法のうち、切断に關するものである。

(c) 従来技術と問題点

このような切断処理には、例えばヒューズ領域を特に設けて、その領域の回路配線を溶解する方法が用いられており、第1図はその断線後の断面断面図である。1は半導体基板、2は絶縁膜、3は不純物をドーブした導電性多結晶シリコン膜からなる回路配線、4はIC全面に被覆したシリケートガラス(PSG)膜(パッシベーション膜)で、ヒューズ領域のみPSG膜4を除去し、その上面から強力なエネルギー線を照射して多結晶シリコン膜を溶解させている。

また、特にヒューズ領域上のPSG膜4を除去せずに、一層強力なエネルギー線を照射して、PSG

特開昭59-108329 (2)

膜4をも多結晶シリコン膜からなる回路配線3と同時に彫削する方法も用いられており、第2図はその彫削後の構造断面図を示している。

上記例から明らかなように、従来の切断処理は何れも回路配線を溶かして彫削させる方法で、多結晶シリコン膜からなる回路配線では、その彫削部は約1400℃に加熱されて、その高温処理の加熱温度が回路部分の半導体素子特性に多少に悪い影響を与える。且つ、彫削時に飛び散った断片が不必要な部分に付着するなどの不都合な問題があり、甚しい場合には絶縁膜2を溶かして回路配線と半導体素子とを短絡する事故も起こす。

(d) 発明の目的

本発明は上記の欠点を解消させて、品質を向上させる回路配線の処理方法を提案するものである。

(e) 発明の構成

その目的は、絶縁膜上に設けられた多結晶半導体からなるヒューズ膜に酸化性雰囲気中で該ヒューズ膜を加熱しないエネルギーのエネルギー線を用いて、該ヒューズ膜を酸化して酸化物質に試験

5

酸化シリコン(SiO_2)膜6が生成される。アルゴンレーザの照射エネルギーは直径10 μm のスポットに対し、エネルギー密度がカクシヤン分布しているために中央部分の酸化が早く、その生成された SiO_2 膜6が周囲の絶縁膜2に達して電気的に絶縁され断線状態になる。

また、本発明は他の応用例として生成される SiO_2 膜6を絶縁膜2に到達させずに、数 nm ないし数100 nm の抵抗値をもつた高抵抗素子として、ICの回路配線に組み込むことができる。第3図はその高抵抗素子部分7を示す断面図で、抵抗値を測定しながら、所望の高抵抗素子に形成することが可能である。

本発明の酸化処理によると、照射エネルギーは彫削工程の50~70%となり、半導体基板に与える加熱エネルギーは更に低くなるから素子特性への悪影響は除去されて、且つ断片の付着や短絡などの問題もなくなる。

上記は多結晶膜が多結晶シリコン膜の場合の実施例であるが、その他の多結晶膜、例えば高抵抗

する工程が含まれる製造方法によつて達成することができ。

(f) 発明の実施例

以下、実施例によつて詳しく説明する。第3図は断線処理する前の構造断面図を示しており、回路配線としての多結晶膜3は例えば銅をドーブした導電性多結晶シリコン膜で、半導体基板1上の膜厚約1 μm の絶縁膜(例えば二酸化シリコン膜)2上面に形成されて、第1図又は第2図に示したようなPBO膜4を被覆する前工程の断面である。

このように第3図に示す構造断面の上方から例えばロウ(連続)形アルゴンレーザのスポットを所望位置に照射する。その場合、照射位置に酸化ガスを連続して吹き付けるか、又は酸素ガスを充満した容器内でレーザスポットを照射し、照射された部分は1000℃ないし1200℃に昇温するエネルギーとする。アルゴンレーザの光束10 μm 程度のスポットであれば、その出力は例えば1~15ワットで上記温度に加熱され、銅素と反応して酸化されて、第4図に示すように照射部分に二

4

金属シリサイド膜を同時に酸化して断線状態とすることができ。しかし、絶縁性は多結晶シリコン膜の場合が最も良く、他の多結晶膜ではむしろ高抵抗状態を示すものである。

尚、本発明による断線処理はPBO膜のような表面が薄膜を被覆する前工程、あるいは前記のようにヒューズ膜を設けて回路配線を露出した状態で処理する必要がある。

(g) 発明の効果

以上の説明から判るように、本発明は彫削の場合より低いエネルギーを与えて断線処理とすることができ、ICの高品質化に役立つ。またIC製造の後段工程で回路配線内に高抵抗素子を選択的に組み入れて、回路特性を制御することができる効果もえられるものである。

4. 図面の簡単な説明

第1図および第2図は従来の断線処理後の構造断面図、第3図は断線処理前の構造断面図、第4図は本発明にかかる断線処理後の断面図、第5図は本発明にかかる高抵抗素子部分形成後の断面図

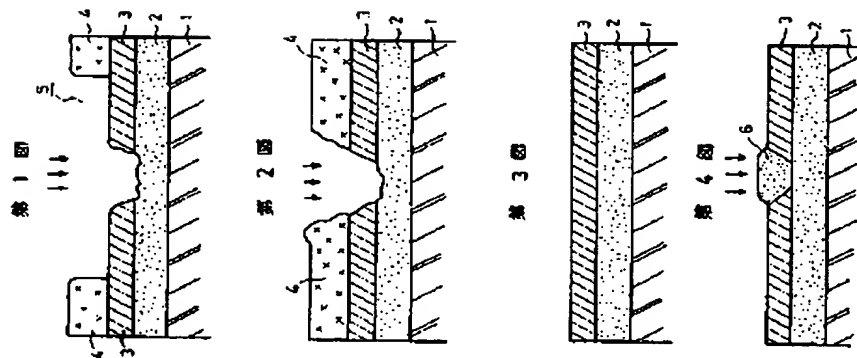
6

特開59-108329 (3)

である。

図中、1は半導体基板、2は絶縁膜、3は多結晶シリコン膜、4はP型膜、5はN型膜、6はSiO₂膜、7は抵抗膜を示す。

代理人 弁護士 松岡 宏 四 郎



特開59-108329 (4)

第 5 図

